



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/627,300	
	Filing Date	07/25/03	
	First Named Inventor	Jeong Ho PARK	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	18	Attorney Docket Number	OF03P107/US

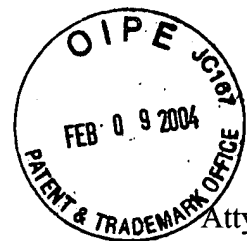
ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks 1. Claim for Priority; 2. Return Receipt Postcard.	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600
Signature	
Date	February 04, 2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Jennie Heaton		
Signature		Date	February 04, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Atty. Docket No. OF03P107/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Jeong Ho PARK

: GROUP ART UNIT:

SERIAL NO: 10/627,300

:

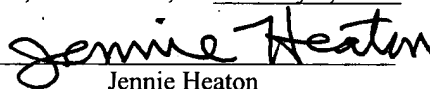
FILED: July 25, 2003

: EXAMINER:

FOR: Method for Forming Short-Channel Transistors

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on February 4, 2004.

By:


Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

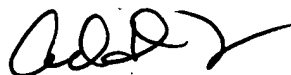
SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0044086	July 26, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0044086
Application Number

출원 년 월 일 : 2002년 07월 26일
Date of Application JUL 26, 2002

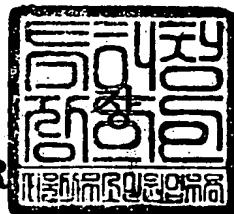
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 07 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.07.26
【발명의 명칭】	단채널 트랜지스터 형성방법
【발명의 영문명칭】	Method for forming short-channel transistor
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	박정호
【성명의 영문표기】	PARK, Jeong Ho
【주민등록번호】	661007-1630211
【우편번호】	467-902
【주소】	경기도 이천시 장호원읍 노탑5리 193-1 기산아파트 101동 706호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 단채널 트랜지스터 형성방법에 관한 것으로, 반도체 기판상에 제 1 산화막과 희생막을 차례로 형성한 후에 상기 희생막을 식각하여 잔류 희생막패턴을 형성하는 단계; 상기 잔류 희생막패턴을 마스크로 이온주입공정을 실시하여 반도체기판내에 LDD 이온주입층을 형성하는 단계; 상기 잔류 희생막패턴의 양쪽 측면에 제 1 스페이서를 형성하는 단계; 상기 잔류 희생막패턴과 상기 제 1 스페이서를 마스크로 이온주입공정을 실시하여 상기 LDD 이온주입층의 아랫부분에 소오스/드레인 이온주입층을 형성하는 단계; 상기 결과물의 전체상부에 질화막과 제 2 산화막을 차례로 형성한 후 열공정을 실시하여 소오스/드레인 영역을 형성하는 단계; 상기 잔류 희생막패턴의 상부면이 드러날 정도로 상기 제 2 산화막과 상기 질화막에 대해 CMP공정을 수행한 후 상기 잔류 희생막패턴을 식각하여 제거하는 단계; 상기 잔류 희생막패턴이 제거된 부분의 측벽에 제 2 스페이서를 형성하는 단계; 상기 제 2 스페이서 사이의 반도체기판내에 이온주입공정을 실시하여 편치-스톱 이온주입층을 형성하는 단계; 상기 잔류 희생막패턴이 제거된 부분 아래에 있는 상기 제 1 산화막을 식각한 후, 게이트 절연막을 형성하는 단계; 및 상기 잔류 희생막패턴이 제거된 부분에 게이트를 형성하는 단계를 포함하여 구성된다.

【대표도】

도 1e

【명세서】

【발명의 명칭】

단채널 트랜지스터 형성방법(Method for forming short-channel transistor)

【도면의 간단한 설명】

도 1a 내지 도 1e는 본 발명에 따른 단채널 트랜지스터 형성방법을 도시한 공정별 단면도.

(도면의 주요부분에 대한 부호설명)

5 : 반도체기판 10, 10a : 제 1 산화막

20, 20a : 희생막 30 : 마스크

40 : 제 1 스페이서 50 : LDD 이온주입층

55 : 소오스/드레인 영역 60 : 소오스/드레인 이온주입층

70, 70a : 질화막 80, 80a : 제 2 산화막

90 : 제 2 스페이서 100 : 펀치-스톱 이온주입층

200 : 게이트 절연막 300 : 게이트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 단채널 트랜지스터 형성방법에 관한 것으로서, 보다 상세하게는 다마신 공정을 이용하여 짧은 채널을 갖는 단채널 트랜지스터 형성방법에 관한 것이다.
- <11> 종래에는 NMOS 소자의 게이트 길이가 $0.14\mu\text{m}$ 이하로 감소하게 되면서 SCE (Short Channel Effect)를 억제하기가 점점 더 어려워졌다. 이러한 SCE를 억제하기 위해서는 기본적으로 유효채널길이를 증가시켜야 하는데, 이를 위해서 LDD영역의 도즈량을 감소시키는 것이 효과적이다.

【발명이 이루고자 하는 기술적 과제】

- <12> 그러나, LDD영역의 도즈량을 감소시키는 것은 LDD영역의 전계완화효과가 감소하여 핫 캐리어 효과에 의한 소자 열화가 심화되며, LDD영역의 저항이 증가하여 도통전류가 감소하기 때문에 고성능제품을 구현하기 힘들다는 문제점이 있다.
- <13> 한편, LDD영역을 형성하기 위해서는 인(P) 또는 비소(As)의 이온주입을 실시하는데, 인 이온주입에 의한 LDD영역은 핫 캐리어 열화를 효과적으로 억제할 수 있으나, 열처리공정에 의한 확산이 비소에 비해서 크기 때문에 인 이온주입에 의한 LDD영역의 수평 및 수직 퍼짐 정도가 크다.

- <14> 일반적으로, 디바이스 성능을 충분히 확보하기 위한 (즉, LDD영역의 저항을 충분히 감소시킬 수 있는) 이온주입 도즈량은 $3 \times 10^{13} / \text{cm}^2$ 이상인데, 이러한 도즈량은 $0.14 \mu\text{m}$ 급 기술에서는 높은 도즈량에 해당하여 SCE를 억제하기 불가능하다는 문제점이 있다.
- <15> 또한, 비소를 LDD영역의 이온주입 불순물로 채용할 경우, 열처리공정에 의한 확산은 인에 비해서 매우 작으므로 SCE 억제에 매우 효과적이며, 동시에 디바이스의 도통 전류를 충분히 확보할 수 있을 정도로 LDD영역의 저항을 줄일 수 있으나 핫 캐리어 특성이 인 LDD영역에 비해서 나쁘다는 문제점이 있다.
- <16> 따라서, 본발명은 상기 종래기술의 제반문제점을 해결하기 위하여 안출한 것으로서, 단채널 효과를 줄여 우수한 특성을 갖는 단채널 트랜지스터 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 상기 목적을 달성하기 위한 본 발명은, 반도체 기판상에 제 1 산화막과 희생막을 차례로 형성한 후에 상기 희생막을 식각하여 잔류 희생막패턴을 형성하는 단계; 상기 잔류 희생막패턴을 마스크로 이온주입공정을 실시하여 반도체기판내에 LDD 이온주입층을 형성하는 단계; 상기 잔류 희생막패턴의 양쪽 측면에 제 1 스페이서를 형성하는 단계; 상기 잔류 희생막패턴과 상기 제 1 스페이서를 마스크로 이온주입공정을 실시하여 상기 LDD 이온주입층의 아랫부분에 소오스/드레인 이온주입층을 형성하는 단계; 상기 결과물의 전체상부에 질화막과 제 2 산화막을 차례로 형성한 후 열공정을 실시하여 소오스/드레인 영역을 형성하는 단계; 상기 잔류 희생막패턴의 상부면이 드러날 정도로 상기 제 2

산화막과 상기 질화막에 대해 CMP공정을 수행한 후 상기 잔류 희생막패턴을 식각하여 제거하는 단계; 상기 잔류 희생막패턴이 제거된 부분의 측벽에 제 2 스페이서를 형성하는 단계; 상기 제 2 스페이서 사이의 반도체기판내에 이온주입공정을 실시하여 편치-스톱 이온주입층을 형성하는 단계; 상기 잔류 희생막패턴이 제거된 부분 아래에 있는 상기 제 1 산화막을 식각한 후, 게이트 절연막을 형성하는 단계; 및 상기 잔류 희생막패턴이 제거된 부분에 게이트를 형성하는 단계를 포함하여 구성됨을 특징으로 한다.

<18> (실시예)

<19> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<20> 도 1a 내지 도 1e는 본 발명에 따른 단채널 트랜지스터 형성방법을 도시한 공정별 단면도이다.

<21> 먼저, 도 1a에 도시된 바와 같이, 반도체기판(5) 위에 제 1 산화막(10)과 폴리실리콘 희생막(20)을 차례로 증착한후 그 위에 마스크패턴(30)을 형성한다.

<22> 그 다음, 도 1b에 도시된 바와 같이, 상기 마스크패턴(30)을 이용하여 상기 폴리실리콘 희생막(20)을 건식식각하여 잔류희생막(20a)을 형성하고 이어 이온주입공정을 진행하여 LDD 이온주입층(50)을 후속으로 형성될 소오스/드레인 이온주입층보다 윗부분에 형성한다. 이때, 상기 제 1 산화막(10)을 식각 정지층으로 할 수 있으며, 상기 LDD 이온주입시에 상기 제 1 산화막(10)을 이온주입 완충막으로 이용한다.

- <23> 이어서, 제 1 스페이서 막(미도시)을 증착한 후 상기 제 1 스페이서 막을 전면식각하여 상기 잔류희생막(20a)의 양쪽측면에 제 1 스페이서(40)를 형성한다. 이때, 상기 제 1 스페이서막(40)은 질화막일 수 있으며, 상기 제 1 스페이서(40)는 후속공정에서 형성될 제 2 스페이서와 동일한 물질을 사용할 수도 있다.
- <24> 그 다음, 상기 잔류희생막(20a)과 제 1 스페이서(40)를 마스크로 이용한 이온주입공정을 실시하여 상기 제 1 스페이서(40) 양측 아래의 반도체기판(5)내에 소오스/드레인 이온주입층(60)을 형성한다. 이때, 상기 소오스/드레인 이온주입층(60)은 상기 LDD 이온주입층(50) 보다 아랫부분에 형성되며, 상기 소오스/드레인 이온주입시에 상기 제 1 산화막(10)을 이온주입 완충막으로 이용한다.
- <25> 이어서, 도 1c에 도시된 바와 같이, 상기 결과물의 전체상부에 질화막(70)과 제 2 산화막(80)을 차례로 증착한다. 이때, 상기 제 2 산화막(80)은 다층으로 형성할 수도 있다.
- <26> 그 다음, 상기 LDD 이온주입층(50)과 상기 소오스/드레인 이온주입층(60)에 대해 열공정을 실시하여 소오스/드레인 영역(55)을 형성한다.
- <27> 이어서, 도 1d에 도시된 바와 같이, 상기 잔류희생막(20a)의 상부면이 드러날 정도로 상기 제 2 산화막(80)과 상기 질화막(70)에 대해 CMP공정을 수행하여 평탄화시킨다. 이로써, 제 2 산화막(80a)과 질화막(70a)이 형성된다.
- <28> 그 다음, 상기 결과물의 전체상부에 습식식각공정을 실시하여 잔류희생막(20a)을 완전히 제거한다. 이때, 상기 잔류희생막(20a)의 식각시에 상기 제 1 산화막(10)을 식각정지층으로 이용한다.

- <29> 이어서, 상기 결과물의 전체상부에 제 2 스페이서막을 증착한 후에, 상기 잔류희생막이 제거된 위치인 상기 제 1 스페이서(40)의 측면에 상기 제 2 스페이서막을 전면식각하여 제 2 스페이서(90)를 형성한다. 이때, 상기 제 2 스페이서막은 질화막일 수 있으며, 상기 제 2 스페이서(90)는 상기 제 1 스페이서(40)와 동일한 물질을 사용할 수도 있다.
- <30> 그 다음, 후속으로 형성될 게이트의 아랫부분인 소오스/드레인 영역(55) 사이에 이온주입법을 이용하여 편치-스톱 이온주입층(100)을 형성한다. 이때, 상기 편치-스톱 이온주입층(100)은 역치전압(V_{th})-제어 이온주입층으로 대체하여 적용될 수 있다.
- <31> 이어서, 도 1e에 도시된 바와 같이, 게이트 형성부분 아래의 상기 제 1 산화막(10)을 습식식각하여 제 1 잔류산화막(10a)과 게이트 절연막(200)을 형성한다.
- <32> 최종적으로, 상기 게이트 형성부분을 포함한 전체구조의 상면에 폴리실리콘층을 증착한후 평탄화시켜 상기 게이트 형성부분내에 게이트(300)를 형성한다.

【발명의 효과】

- <33> 상술한 바와 같이, 본 발명은 소오스/드레인 영역을 먼저 형성한 후에 다마신 방법으로 스페이서를 이용한 단채널 트랜지스터를 형성함으로써 트랜지스터의 SCE(Short Channel Effect)를 감소시키고, 트랜지스터의 DIBL(Drain Induced Barrier Lowering)를 감소시킴으로써 특성이 우수한 트랜지스터를 제작할 수 있다.
- <34> 또한, 유사한 다른 공정에 의한 것 보다 짧은 채널을 갖는 트랜지스터를 제작할 수 있다.

<35> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에
서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식
을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판상에 제 1 산화막과 희생막을 차례로 형성한 후에 상기 희생막을 식각하여 잔류 희생막패턴을 형성하는 단계;

상기 잔류 희생막패턴을 마스크로 이온주입공정을 실시하여 상기 반도체기판내에 LDD 이온주입층을 형성하는 단계;

상기 잔류 희생막패턴의 양쪽 측면에 제 1 스페이서를 형성하는 단계;

상기 잔류 희생막패턴과 상기 제 1 스페이서를 마스크로 이온주입공정을 실시하여 상기 LDD 이온주입층의 아랫부분에 소오스/드레인 이온주입층을 형성하는 단계;

상기 결과물의 전체상부에 질화막과 제 2 산화막을 차례로 형성한 후 열공정을 실시하여 소오스/드레인 영역을 형성하는 단계;

상기 잔류 희생막패턴의 상부면이 드러날 정도로 상기 제 2 산화막과 상기 질화막에 대해 CMP공정을 수행한 후 상기 잔류 희생막패턴을 식각하여 제거하는 단계;

상기 잔류 희생막패턴이 제거된 부분의 측벽에 제 2 스페이서를 형성하는 단계;

상기 제 2 스페이서 사이의 반도체기판내에 이온주입공정을 실시하여 펀치-스톱 이온주입층을 형성하는 단계;

상기 잔류 희생막패턴이 제거된 부분 아래에 있는 상기 제 1 산화막을 식각한 후, 게이트 절연막을 형성하는 단계; 및

상기 잔류 희생막패턴이 제거된 부분에 게이트를 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 희생막의 식각시 상기 제 1 산화막을 식각 정지층으로 이용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 3】

제 1 항에 있어서, 상기 소오스/드레인 영역을 먼저 형성한 후에, 상기 게이트 절연막과 상기 게이트를 형성하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 4】

제 1 항에 있어서, 상기 희생막으로 폴리실리콘을 이용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 5】

제 1 항에 있어서, 상기 제 2 산화막은 다층으로 형성된 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 6】

제 1 항에 있어서, 상기 펀치-스톱 이온주입층을 역치전압제어 이온주입층으로 대체하여 적용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 7】

제 1 항에 있어서, 상기 LDD 이온주입시와 상기 소오스/드레인 이온주입시에 상기 제 1 산화막을 이온주입 완충막으로 이용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 8】

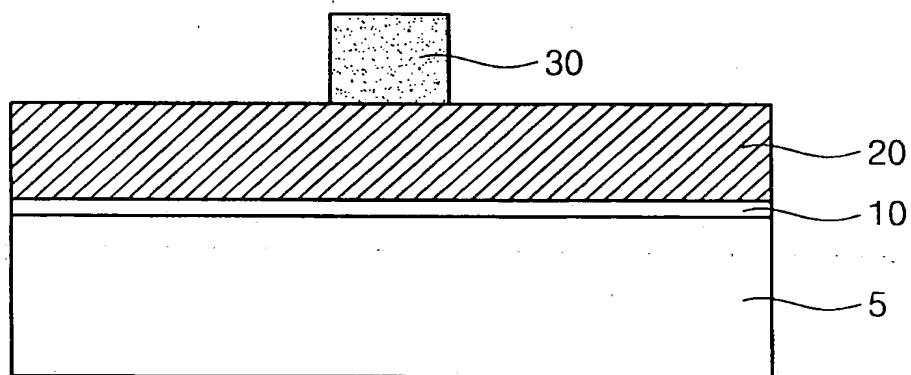
제 1 항에 있어서, 상기 제 1 스페이서막과 상기 제 2 스페이서막으로 동일한 물질을 이용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【청구항 9】

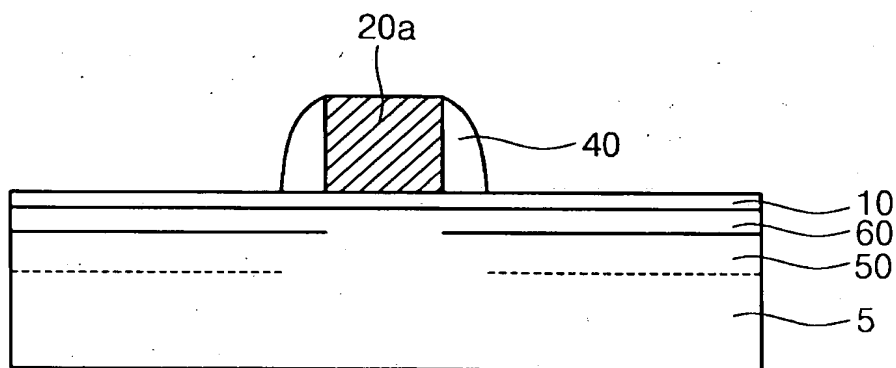
제 1 항 또는 제 8 항에 있어서, 제 1 스페이서와 제 2 스페이서로 질화막을 이용하는 것을 특징으로 하는 단채널 트랜지스터 형성방법.

【도면】

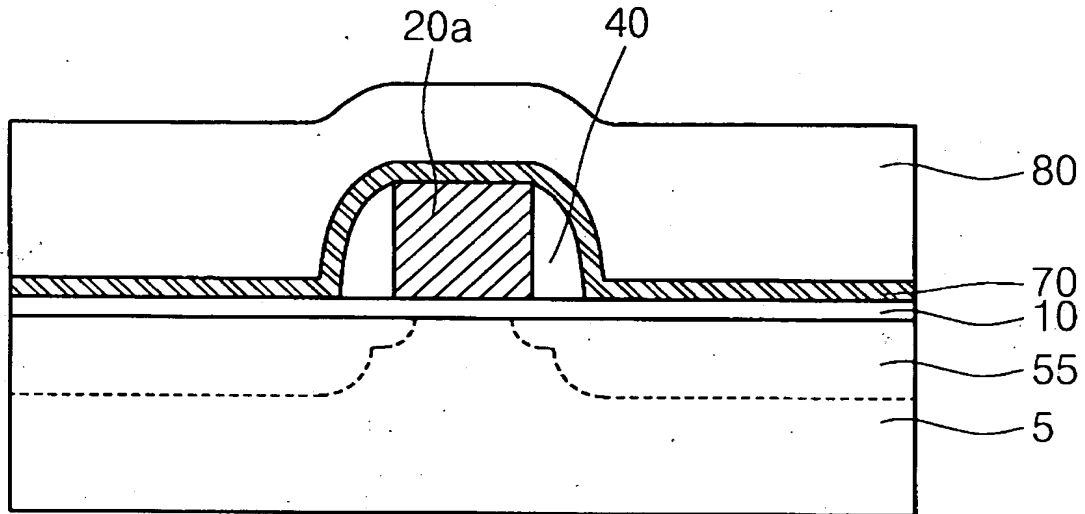
【도 1a】



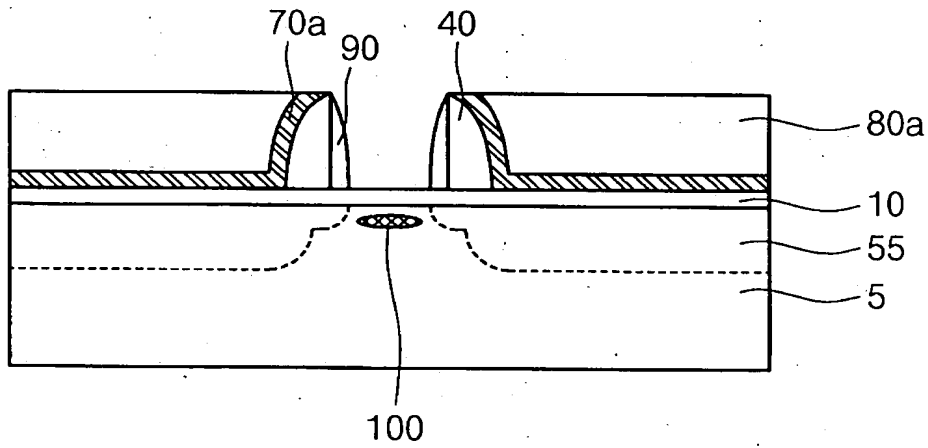
【도 1b】



【도 1c】



【도 1d】



【도 1e】

